

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

Yoh TAKANO

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: November 26, 2003

Attorney Dkt. No.: 024808-00015

For: MEMORY DEVICE COMPRISING HYSTERETIC CAPACITANCE MEANS

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: November 26, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

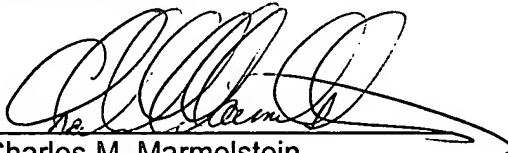
Foreign Application No. 2002-345580, filed November 28, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'Charles M. Marmelstein', written over a horizontal line.

Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM:cam

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 8 日  
Date of Application:

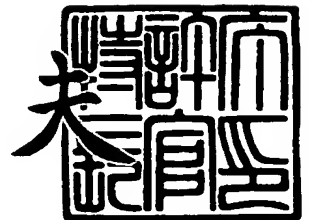
出 願 番 号                      特 願 2 0 0 2 - 3 4 5 5 8 0  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 4 5 5 8 0 ]

出      願      人                      三 洋 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 5 6 2 7

【書類名】 特許願

【整理番号】 NPC1020044

【提出日】 平成14年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
                        三洋電機株式会社内

    【氏名】 高野 洋

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100104433

    【弁理士】

    【氏名又は名称】 宮園 博一

【手数料の表示】

    【予納台帳番号】 073613

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0001887

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 ヒステリシス特性を有する容量手段と、

データの読み出し時に、前記容量手段に 1 回目と 2 回目とで異なる方向にバイアス電圧を印加し、1 回目の読み出しデータと 2 回目の読み出しデータとを比較することにより読み出しデータを確定する読み出し回路とを備えた、メモリ装置。

【請求項 2】 前記ヒステリシス特性を有する容量手段は、強誘電体キャパシタを含む、請求項 1 に記載のメモリ装置。

【請求項 3】 前記読み出し回路は、リファレンス電位を生成するための抵抗分割回路を含む、請求項 1 または 2 に記載のメモリ装置。

【請求項 4】 前記データの読み出し時に、前記容量手段に印加される 1 回目のバイアス電圧および 2 回目のバイアス電圧は、互いに正負が逆で、かつ、実質的に等しい絶対値を有する電圧である、請求項 1 ～ 3 のいずれか 1 項に記載のメモリ装置。

【請求項 5】 前記容量手段のヒステリシスカーブは、原点に対して実質的に対称である、請求項 1 ～ 4 のいずれか 1 項に記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、メモリ装置に関し、特に、ヒステリシス特性を有する容量手段を備えたメモリ装置に関する。

【0002】

【従来の技術】

近年、ヒステリシス特性を有する容量手段を備える不揮発性メモリの 1 つとして、強誘電体メモリが知られている。また、その強誘電体メモリの中で、1 つの強誘電体キャパシタのみからメモリセルが構成される単純マトリックス方式（クロスポイント型）の強誘電体メモリが提案されている（たとえば、特許文献 1 参

照)。

### 【0003】

図6は、従来のクロスポイント型の強誘電体メモリのメモリセルアレイの構成および書き込み時の印加電圧を説明するための概略図である。また、図7は、図6に示した従来の強誘電体メモリの動作原理を説明するためのヒステリシス図である。

### 【0004】

まず、図6を参照して、従来のクロスポイント型の強誘電体メモリについて説明する。従来のクロスポイント型の強誘電体メモリのメモリセル101は、図6に示すように、ワード線WL (WL1、WL2、WL3) と、ビット線BL (BL1、BL2、BL3) と、ワード線WLとビット線BLとの交点に位置する強誘電体キャパシタ102とから構成されている。強誘電体キャパシタ102の一端は、ワード線WLに接続されており、強誘電体キャパシタ102の他端は、ビット線BLに接続されている。このようなクロスポイント型の強誘電体メモリでは、強誘電体キャパシタ102のみによってメモリセル101が構成されており、選択トランジスタが存在しないため、メモリセルの高密度化が可能である。

### 【0005】

次に、図6および図7を参照して、従来のクロスポイント型の強誘電体メモリの動作を説明する。まず、書き込み動作としては、スタンバイ状態では、強誘電体キャパシタ102の両端は同一電位となっている。データ「0」を書き込む場合には、図6に示すように、選択セルが繋がるワード線WL2に $V_{cc}$ を印加するとともに、選択セルが繋がるビット線BL2に0Vを印加する。これにより、選択セルの強誘電体キャパシタ102には、 $V_{cc}$ の電圧が印加される。このため、初期状態にかかわらず、図7に示すA点に移る。その後、強誘電体キャパシタ102の両端を同一電位にすると、図7に示す「0」に遷移する。また、データ「1」を書き込む場合には、図6に示すように、選択セルが繋がるワード線WL2に0Vを印加するとともに、選択セルが繋がるビット線BL2に $V_{cc}$ を印加する。これにより、強誘電体キャパシタ102には、 $-V_{cc}$ の電圧が印加される。このため、図7のB点に移る。この後、強誘電体キャパシタ102の両端

を同一電位にすると、図 7 に示す「1」に遷移する。

#### 【0006】

また、読み出し動作としては、まず、ビット線 BL2 を 0 V にプリチャージする。次に、ワード線 WL2 を  $V_{cc}$  に立ち上げる。この電圧  $V_{cc}$  は、強誘電体キャパシタ 102 の容量を  $C_{FE}$ 、ビット線 BL の寄生容量を  $C_{BL}$  とすると、 $C_{FE}$  と  $C_{BL}$  とで容量分割される。強誘電体キャパシタ 102 の容量  $C_{FE}$  は、図 7 に示すように、保持されているデータによって、 $C_0$  または  $C_1$  として近似することができる。そのため、ビット線 BL の電位は、以下の式 (1) および式 (2) によって表される。

#### 【0007】

$$V_0 = \{C_0 / (C_0 + C_{BL})\} \times V_{cc} \quad \dots (1)$$

$$V_1 = \{C_1 / (C_1 + C_{BL})\} \times V_{cc} \quad \dots (2)$$

上記式 (1) は、データ「0」が保持されている時のビット線 BL の電位  $V_0$  を示しており、上記式 (2) は、データ「1」が保持されている時のビット線 BL の電位  $V_1$  を示している。

#### 【0008】

上記式 (1) のビット線電位  $V_0$  と上記式 (2) によるビット線電位  $V_1$  との電位差をリードアンプによって判別することによりデータの読み出しを行う。すなわち、リファレンスビット線およびそれに繋がるリファレンスセルを設けるとともに、そのリファレンスセルを用いて、リファレンス電位  $V_{ref}$  を、データ「0」が保持されている時のビット線 BL の電位  $V_0$  と、データ「1」が保持されている時のビット線 BL の電位  $V_1$  との中間の電位 ( $V_{ref} = (V_0 + V_1) / 2$ ) になるように設定する。そして、このリファレンス電位  $V_{ref}$  と選択されたビット線電位とをコンパレータを用いて比較することによって、データを確定する。

#### 【0009】

なお、従来では、非選択ワード線、および、非選択ビット線に、 $1/3 V_{cc}$  および  $2/3 V_{cc}$  のような電位を印加することによって、非選択セルには最大  $1/3 V_{cc}$  の電位しかかからないように制御している。これにより、非選択セ

ルの分極量が減少してデータが消えてしまういわゆるディスタート現象を最小限にしている。

### 【0010】

また、従来のデータの読み出し時には、メモリセルのデータは破壊されるので、データの読み出し後に、読み出しデータに応じた書き込み動作（リストア）を行う。

### 【0011】

#### 【特許文献1】

特許第2788265号公報

#### 【発明が解決しようとする課題】

上記した従来のクロスポイント型の強誘電体メモリでは、選択トランジスタが存在しない分、ビット線BLを共有している非選択セルの容量CFEがCBLに入ってくるため、ビット線の寄生容量CBLが大きくなる。このため、上記式（1）および式（2）から、データ「0」が保持されている時のビット線BLの電位V0と、データ「1」が保持されている時のビット線BLの電位V1とが小さくなるので、以下の式（3）および式（4）で示される読み出しマージンが小さくなるという不都合がある。

### 【0012】

$$|V_{ref} - V_0| \quad \dots (3)$$

$$|V_{ref} - V_1| \quad \dots (4)$$

また、強誘電体キャパシタの製造ばらつきや、書き込みおよび読み出し動作の繰り返しによる疲労などに起因する分極電荷量の変化によって、V0およびV1が設計値からずれるため、リファレンス電位が設計値からずれる。このため、読み出しマージンが減少するという不都合もある。たとえば、選択セルのビット線電位がV0 (sel) = 2V、V1 (sel) = 1Vである場合、理想的なリファレンス電位Vref (ideal) は、以下の式（5）により表される。

### 【0013】

$$V_{ref} (ideal) = (V_0 + V_1) / 2 = 1.5V \quad \dots (5)$$

この時の読み出しマージンは、 $2V - 1.5V = 0.5V$ と、 $1.5V - 1.$

$0V = 0.5V$ とである。

【0014】

これに対して、リファレンスセルのビット線電位  $V0(ref)$ 、 $V1(ref)$  が、強誘電体キャパシタの製造ばらつきや疲労などによって、 $V0(ref) = 1.8V$ 、 $V1(ref) = 0.8V$  になったとすると、リファレンス電位  $Vref$  は、 $Vref = (1.8 + 0.8) / 2 = 1.3V$  になる。したがって、このリファレンス電位  $Vref$  を用いて、上記のセルを読み出す場合、読み出しマージンは、 $2V - 1.3V = 0.7V$  と、 $1.3V - 1.0V = 0.3V$  になる。すなわち、読み出しマージンは、 $0.3V$  に減少してしまう。

【0015】

このように読み出しマージンが減少すると、誤読み出しの可能性が大きくなるという問題点があった。

【0016】

また、従来では、リファレンスセルを用いてリファレンス電位を生成していたため、その分、メモリセルアレイの面積が増加するという問題点もあった。

【0017】

この発明は、上記のような課題を解決するためになされたものであり、メモリセルアレイの面積を縮小しながら、リファレンス電位の変動に起因する読み出しマージンの減少を抑制することが可能なメモリ装置を提供することを目的とする。

【0018】

【課題を解決するための手段および発明の効果】

この発明の一の局面によるメモリ装置は、ヒステリシス特性を有する容量手段と、データの読み出し時に、容量手段に1回目と2回目とで異なる方向にバイアス電圧を印加し、1回目の読み出しデータと2回目の読み出しデータとを比較することにより読み出しデータを確定する読み出し回路とを備えている。

【0019】

この一の局面によるメモリ装置では、上記のように、データの読み出し時に、ヒステリシス特性を有する容量手段に1回目と2回目とで異なる方向にバイアス



電圧を印加し、1回目の読み出しデータと2回目の読み出しデータとを比較することにより読み出しデータを確定する読み出し回路を設けることによって、従来のようにデータ「0」の場合のビット線電位とデータ「1」の場合のビット線電位との中間のリファレンス電位を生成するためのリファレンスセルを用いることなく、データの読み出しを行うことができる。これにより、リファレンスセルの製造ばらつきや書き込みおよび読み出し動作の繰り返しによる疲労などに起因する分極変化量の変化によってリファレンス電位が変動するという不都合が生じないので、リファレンス電圧の変動に起因する読み出しマージンの減少を抑制することができる。その結果、データの誤読み出しを抑制することができる。また、リファレンスセルを設ける必要がないので、その分、メモリセルアレイの面積を縮小することができる。

#### 【0020】

上記一の局面によるメモリ装置において、好ましくは、ヒステリシス特性を有する容量手段は、強誘電体キャパシタを含む。このように構成すれば、読み出しマージンの減少が抑制された強誘電体メモリを得ることができる。

#### 【0021】

上記一の局面によるメモリ装置において、好ましくは、読み出し回路は、リファレンス電位を生成するための抵抗分割回路を含む。このように構成すれば、抵抗分割により、変動のないリファレンス電位を生成することができる。

#### 【0022】

上記一の局面によるメモリ装置において、好ましくは、データの読み出し時に、容量手段に印加される1回目のバイアス電圧および2回目のバイアス電圧は、互いに正負が逆で、かつ、実質的に等しい絶対値を有する電圧である。このように構成すれば、2回の読み出し電位の変化量が、0であるか、または、負（正）であるかを検出すればよいので、容易にデータの読み出しを行うことができる。

#### 【0023】

上記一の局面によるメモリ装置において、好ましくは、容量手段のヒステリシスカーブは、原点に対して実質的に対称である。このように構成すれば、容易に、2回の読み出し電位の変化量を、0、または、負（正）にすることができる。

## 【0024】

## 【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

## 【0025】

## (第1実施形態)

図1は、本発明の第1実施形態によるクロスポイント型の強誘電体メモリの全体構成を示したブロック図である。図2は、図1に示した第1実施形態による強誘電体メモリのリードアンプの内部構成を示した回路図である。

## 【0026】

まず、図1を参照して、第1実施形態のクロスポイント型の強誘電体メモリの全体構成について説明する。この第1実施形態による強誘電体メモリは、メモリセルアレイ1と、ロウデコーダ2と、カラムデコーダ3と、ロウアドレスバッファ4と、カラムアドレスバッファ5と、ライトアンプ6と、リードアンプ7と、制御部8とを備えている。なお、リードアンプ7は、本発明の「読み出し回路」の一例である。

## 【0027】

メモリセルアレイ1は、図1に示すように、強誘電体キャパシタ12のみからなるクロスポイント型(単純マトリックス方式)のメモリセル11を複数個含んでいる。この強誘電体キャパシタ12は、本発明の「容量手段」の一例である。メモリセルアレイ1のワード線WLには、ロウデコーダ2が接続されており、ビット線BLには、カラムデコーダ3が接続されている。

## 【0028】

ここで、第1実施形態による強誘電体メモリのリードアンプ7は、図2に示すように、nチャネルトランジスタN1およびN2と、pチャネルトランジスタP1、P2およびP3と、カップリングコンデンサC11およびC12と、ソースフォロワ71および72と、抵抗R1、R2およびR3と、コンパレータ73とを備えている。nチャネルトランジスタN1は、データバスDBとノードAとの間に接続されている。nチャネルトランジスタN2の一方のソース/ドレインは、ノードAに接続されており、他方のソース/ドレインは、接地されている。ま

た、ソースフォロワ 71 は、ノード A と、カップリングコンデンサ C11 の一方の電極との間に接続されている。カップリングコンデンサ C11 の他方の電極は、ノード C に接続されている。

#### 【0029】

p チャネルトランジスタ P1 は、データバス DB とノード B との間に接続されている。p チャネルトランジスタ P2 の一方のソース／ドレインは、ノード B に接続されており、他方のソース／ドレインは、電源電圧  $V_{cc}$  に接続されている。ソースフォロワ 72 は、ノード B と、カップリングコンデンサ C12 の一方電極との間に接続されている。カップリングコンデンサ C12 の他方電極は、ノード C に接続されている。また、ノード C は、コンパレータ 73 の反転入力端子に接続されている。

#### 【0030】

また、抵抗 R1、抵抗 R2 および抵抗 R3 は、電源電圧  $V_{cc}$  と接地電位との間に直列に接続されている。p チャネルトランジスタ P3 の一方のソース／ドレインは、抵抗 R1 と抵抗 R2 との接続点に接続されており、他方のソース／ドレインは、ノード C に接続されている。また、コンパレータ 73 の非反転入力端子は、抵抗 R2 と抵抗 R3 との接続点に接続されている。

#### 【0031】

また、第 1 実施形態では、リファレンス電圧  $V_{ref}$  は、電源電圧  $V_{cc}$  を抵抗 R1、抵抗 R2 および抵抗 R3 を用いて抵抗分割することにより生成される。このリファレンス電圧  $V_{ref}$  は、コンパレータ 73 の非反転入力端子に印加される。

#### 【0032】

図 3 は、本発明の第 1 実施形態による強誘電体メモリのメモリセルアレイの構成および読み出し時の印加電圧を説明するための概略図であり、図 4 は、本発明の第 1 実施形態による強誘電体メモリの読み出し動作におけるビット線電位の変化量およびデータの状態を示した図である。次に、図 1～図 4 を参照して、第 1 実施形態による強誘電体メモリの読み出し動作について説明する。

#### 【0033】

まず、第1実施形態によるメモリ装置の読み出し動作では、ワード線WLを電源電圧 $V_{cc}$ に立ち上げた時の読み出し時のビット線BLの電位を、データ「0」およびデータ「1」に対してそれぞれ $V_0$ および $V_1$ とする。この電位 $V_0$ および $V_1$ は、ビット線BLの電位を0Vにした後フローティング状態にしてワード線WLを $V_{cc}$ に立ち上げた時のビット線電位の変化量であり、それぞれ、 $\Delta V_a$ および $\Delta V_b$ とする。なお、図7に示したヒステリシス図から、 $C_1 > C_0$ であるので、上述した式(1)および式(2)から、 $V_1 > V_0$ である。したがって、 $\Delta V_b > \Delta V_a$ である。

#### 【0034】

この場合に、ワード線WLの電位がビット線BLの電位に対して相対的に $-V_{cc}$ になる状態にして読み出しを行う場合、ヒステリシスカーブ(図7参照)が原点に対して対称であれば、データ「0」に対してのビット線変化量は、 $-\Delta V_b$ 、データ「1」に対してのビット線変化量は、 $-\Delta V_a$ となる。

#### 【0035】

そこで、第1実施形態では、ワード線WLをビット線BLから見て $+V_{cc} \rightarrow -V_{cc}$ という条件で2回読み出す場合を考える。以下、詳細に説明する。

#### 【0036】

(初期状態)

第1実施形態では、ビット線BL2およびワード線WL2の交点に位置する選択セルを読み出す場合について考える。まず、カラムデコーダ3を介して選択ビット線BL2がリードアンプ7に接続される。この状態で、図2に示すnチャネルトランジスタN1およびN2はオン状態であり、選択ビット線BL2とノードAとは、0Vにプリチャージされている。また、pチャネルトランジスタP1はオフ状態であり、pチャネルトランジスタP2はオン状態である。これにより、ノードBは、 $V_{cc}$ にプリチャージされている。また、pチャネルトランジスタP3は、オン状態であり、ノードCは、抵抗R1、R2およびR3の抵抗分割で決まる電圧 $V_{ini}$ にプリチャージされている。

#### 【0037】

(1回目の読み出し動作)

nチャネルトランジスタN2がオフ状態になることによって、選択ビット線BL2とノードAとは、ローレベルでフローティング状態（ハイインピーダンス状態）となる。そして、pチャネルトランジスタP3がオフ状態になることによって、ノードCは、電圧 $V_{ini}$ でフローティング状態（ハイインピーダンス状態）となる。この状態で、選択ワード線WL2が電源電圧 $+V_{cc}$ に立ち上がると、図4に示すような1回目の電位変化量（ $\Delta V_a$ 、 $\Delta V_b$ ）が選択ビット線BL2の電位変化量として現れる。この選択ビット線BL2の電位変化量は、ソースフォロワ71とカップリングコンデンサC11とを介して、ノードCに伝わる。カップリングコンデンサC11の容量とカップリングコンデンサC12の容量とが等しい（ $C11 = C12$ ）とすると、ビット線BL2の電位の変化量（ $\Delta V_a$ 、 $\Delta V_b$ ）の $1/2$ の変化量がノードCに現れる。

#### 【0038】

選択セルにデータ「0」が書き込まれている場合、ノードCの電位は、 $V_{ini} + \Delta V_a / 2$ となる。また、選択セルにデータ「1」が書き込まれている場合、ノードCの電位は、 $V_{ini} + \Delta V_b / 2$ となる。この後、nチャネルトランジスタN1をオフ状態にすることによって、選択ビット線BL2とノードAとが切り離される。

#### 【0039】

（2回目の読み出し動作）

ワード線WL2とビット線BL2とは、ハイレベル（ $V_{cc}$ レベル）にプリチャージされている。そして、ビット線BL2は、フローティング状態（ハイインピーダンス状態）となる。この後、pチャネルトランジスタP1がオン状態になるとともに、pチャネルトランジスタP2がオフ状態になることによって、ビット線BLとノードBとが接続される。これにより、選択ビット線BL2は、 $V_{cc}$ レベルでフローティング状態となる。次に、ワード線WL2が0Vに立ち下がることによって、ワード線WL2の電位は、ビット線BL2から見て $-V_{cc}$ となる。これにより、図4に示すように、2回目の電位変化量（ $-\Delta V_b$ 、 $-\Delta V_b$ ）がビット線BL2に現れる。このビット線BL2の電位変化量は、ソースフォロワ72およびカップリングコンデンサC12を介して、ノードCに伝わる。

カップリングコンデンサC12の容量とカップリングコンデンサC11の容量とが等しいとすると、ビット線BL2の電位変化量 ( $-\Delta V_b$ 、 $-\Delta V_b$ ) の1/2の変化量が、ノードCに現れる。

#### 【0040】

選択セルに、もともとデータ「0」が書き込まれていた場合には、ノードCの電位は、以下の式(6)によって表され、選択セルにもともとデータ「1」が書き込まれていた場合には、ノードCの電位は、式(7)によって表される。

#### 【0041】

$$V_{ini} + \Delta V_a / 2 - \Delta V_b / 2 = V_{aa} < V_{ini} \quad \dots (6)$$

$$V_{ini} + \Delta V_b / 2 - \Delta V_b / 2 = V_{ini} \quad \dots (7)$$

本実施形態では、上記式(6)および式(7)から、 $V_{aa} < V_{ref} < V_{ini}$ となるようなリファレンス電位 $V_{ref}$ を、図2に示すように、抵抗分割によって生成する。そして、このリファレンス電位 $V_{ref}$ と、ノードCの電位との大小をコンパレータ73によって比較することにより、データが確定する。

#### 【0042】

なお、上記した1回目の読み出しおよび2回目の読み出し時には、図3に示すような電位が、非選択ビット線BL1およびBL3と、非選択ワード線WL1およびWL3に印加される。

#### 【0043】

また、データの読み出し時には、メモリセルのデータは破壊されるので、データの読み出し後に、読み出しデータに応じた再書き込み動作(リストア)を行う。

#### 【0044】

第1実施形態では、上記のように、データの読み出し時に、強誘電体キャパシタ12に1回目と2回目とで正負逆で絶対値の等しいバイアス電圧 $|V_{cc}|$ を印加し、1回目の読み出しデータと2回目の読み出しデータとを比較することにより読み出しデータを確定することによって、従来のようにデータ「0」の場合のビット線電位とデータ「1」の場合のビット線電位との中間のリファレンス電位を生成するためのリファレンスセルを設けることなく、データの読み出しを行

うことができる。これにより、リファレンスセルの製造ばらつきや書き込みおよび読み出し動作の繰り返しによる疲労などによってリファレンス電位が変動するという不都合が生じないので、リファレンス電位の変動に起因する読み出しマージンの減少を抑制することができる。その結果、データの誤読み出しを抑制することができる。また、第1実施形態では、リファレンスセルを設ける必要がないので、その分、メモリセルアレイの面積を縮小することができる。

#### 【0045】

また、第1実施形態では、リファレンス電位  $V_{ref}$  を、抵抗  $R_1$ 、 $R_2$  および  $R_3$  の抵抗分割により生成することによって、従来のリファレンスセルを用いる場合と異なり、変動のないリファレンス電位  $V_{ref}$  を生成することができる。

#### 【0046】

また、第1実施形態では、ノードCの初期電位  $V_{ini}$  も、抵抗  $R_1$ 、 $R_2$  および  $R_3$  の抵抗分割により形成するので、電位  $V_{ini}$  が変動することもない。これにより、電位  $V_{ini}$  とリファレンス電位  $V_{ref}$  とを比較することにより読み出し動作を行う場合に読み出し精度を向上させることができる。その結果、データの誤読み出しをより抑制することができる。

#### 【0047】

(第2実施形態)

図5は、本発明の第2実施形態による強誘電体メモリのメモリセルアレイの構成および読み出し時の印加電圧を説明するための概略図である。図5を参照して、この第2実施形態では、上記第1実施形態と異なり、1トランジスタ1キャパシタ型(1T1C型)の強誘電体メモリに本発明を適用した場合の例について説明する。なお、この第2実施形態における強誘電体メモリのメモリセルアレイ部以外の全体構成およびリードアンプの内部構成は、第1実施形態と同様である。

#### 【0048】

この第2実施形態による強誘電体メモリでは、図5に示すように、1つのメモリセル21は、1つの強誘電体キャパシタ22と、1つの選択トランジスタ23とによって構成されている。強誘電体キャパシタ22の一方電極は、プレート線

PL (PL1、PL2) に接続されており、強誘電体キャパシタ 22 の他方電極は、選択トランジスタ 23 の一方のソース／ドレインに接続されている。選択トランジスタ 23 の他方のソース／ドレインは、ビット線 BL (BL1、BL2) に接続されている。また、選択トランジスタ 23 のゲートは、ワード線 WL (WL1、WL2) に接続されている。

#### 【0049】

第2実施形態による強誘電体メモリの読み出し動作としては、初期状態では、ビット線 BL1 および BL2 と、選択プレート線 PL1 と、選択ワード線 WL1 とは、0V である。この後、1 回目の読み出し動作時に、ビット線 BL1 および BL2 をフローティング状態（ハイインピーダンス状態）にするとともに、選択ワード線 WL1 が  $V_{cc}$  に立ち上がることによって、強誘電体キャパシタ 22 と、ビット線 BL1 および BL2 とが接続される。そして、プレート線 PL1 が  $V_{cc}$  に立ち上がることによって、ビット線 BL1 および BL2 に 1 回目の読み出しの電位が現れる。この電位は、図 2 に示した第1実施形態のリードアンプ 7 と同様の構成を有するリードアンプに保存される。なお、リードアンプの動作は、第1実施形態と同様である。なお、選択ワード WL1 に繋がる複数の選択セルの中からカラムアドレスを用いてデータを読み出すビット線を選択することによって、特定の選択セルのデータを読み出すことができる。

#### 【0050】

次に、第2回目の読み出し動作時には、ビット線 BL1 および BL2 が  $V_{cc}$  にプリチャージされた後、フローティング状態（ハイインピーダンス状態）となる。そして、プレート線 PL1 が 0V に立ち下がることによって、ビット線 BL1 および BL2 に 2 回目の読み出し電位が現れる。この 2 回目の読み出し電位は、第1実施形態のリードアンプ 7 と同様のリードアンプを用いて、第1実施形態と同様の方法で、1 回目のビット線電位と比較されてデータが確定される。

#### 【0051】

そして、データの読み出し後に、読み出しデータに応じた再書き込み動作（リストア）を行うことによって、読み出し動作が終了する。

#### 【0052】



第2実施形態では、上記のように、データの読み出し時に、強誘電体キャパシタ22に1回目と2回目とで正負逆で絶対値の等しいバイアス電圧 $|V_{cc}|$ を印加し、1回目の読み出しデータと2回目の読み出しデータとを比較することにより読み出しデータを確定することによって、従来のようにデータ「0」の場合のビット線電位とデータ「1」の場合のビット線電位との中間のリファレンス電位を生成するためのリファレンスセルを設けることなく、データの読み出しを行うことができる。これにより、リファレンスセルの製造ばらつきや書き込みおよび読み出し動作の繰り返しによる疲労などによってリファレンス電位が変動するという不都合が生じないので、リファレンス電位の変動に起因する読み出しマージンの減少を抑制することができる。その結果、データの誤読み出しを抑制することができる。また、第2実施形態では、リファレンスセルを設ける必要がないので、その分、メモリセルアレイの面積を縮小することができる。

#### 【0053】

なお、第2実施形態のその他の効果は、第1実施形態と同様である。

#### 【0054】

また、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

#### 【0055】

たとえば、上記実施形態では、ヒステリシス特性を有する容量手段としての強誘電体キャパシタを含む強誘電体メモリに本発明を適用した例を示したが、本発明はこれに限らず、ヒステリシス特性を有する容量手段を含む他のメモリにも同様に適用可能である。

#### 【0056】

また、上記第1実施形態では、非選択セルに $1/3 V_{cc}$ が印加される $1/3 V_{cc}$ 法を用いた場合の例を示したが、本発明はこれに限らず、データの書き込みおよび読み出し時に非選択セルに $1/2 V_{cc}$ が印加される $1/2 V_{cc}$ 法を用いてもよい。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 実施形態による強誘電体メモリの全体構成を示したブロック図である。

**【図 2】**

図 1 に示した第 1 実施形態による強誘電体メモリのリードアンプの内部構成を示した回路図である。

**【図 3】**

本発明の第 1 実施形態による強誘電体メモリのメモリセルアレイの構成および読み出し時の印加電圧を説明するための概略図である。

**【図 4】**

本発明の第 1 実施形態による強誘電体メモリの読み出し動作におけるビット線電位の変化量およびデータの状態を示した図である。

**【図 5】**

本発明の第 2 実施形態による強誘電体メモリのメモリセルアレイの構成および読み出し時の印加電圧を説明するための概略図である。

**【図 6】**

従来のクロスポイント型の強誘電体メモリのメモリセルアレイの構成および書き込み時の印加電圧を説明するための概略図である。

**【図 7】**

図 6 に示した従来の強誘電体メモリの動作原理を説明するためのヒステリシス図である。

**【符号の説明】**

- 1   メモリセルアレイ
- 2   ロウデコーダ
- 3   カラムデコーダ
- 4   ロウアドレスバッファ
- 5   カラムアドレスバッファ
- 6   ライトアンプ

7 リードアンプ（読み出し回路）

1 1、2 1 メモリセル

1 2、2 2 強誘電体キャパシタ（容量手段）

2 3 選択トランジスタ

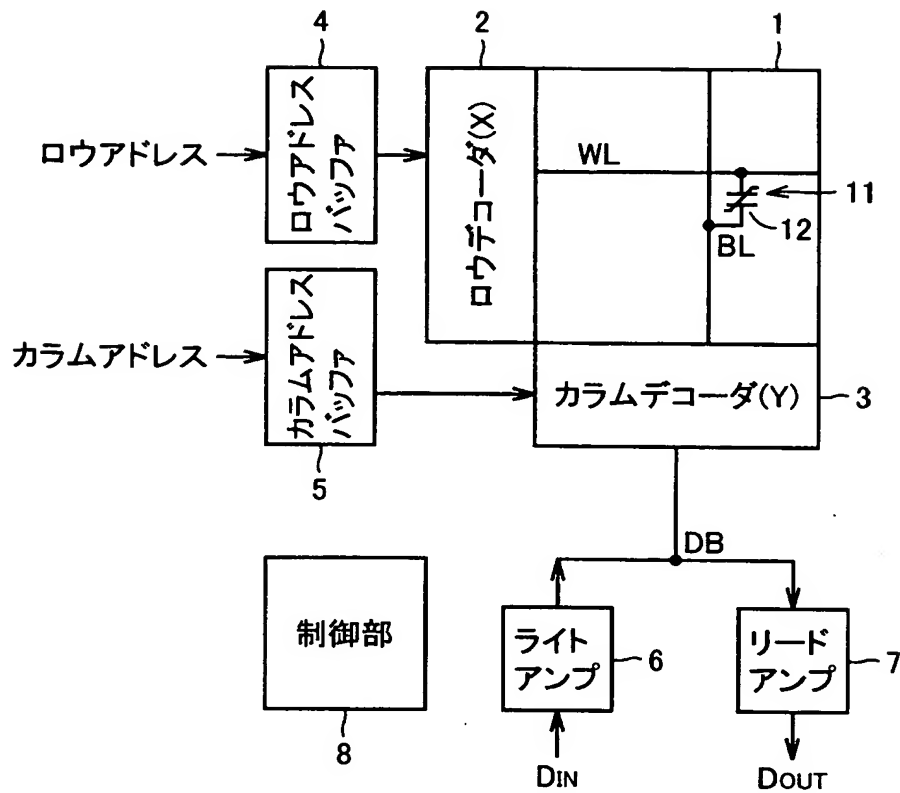
7 1、7 2 ソースフォロワ

7 3 コンパレータ

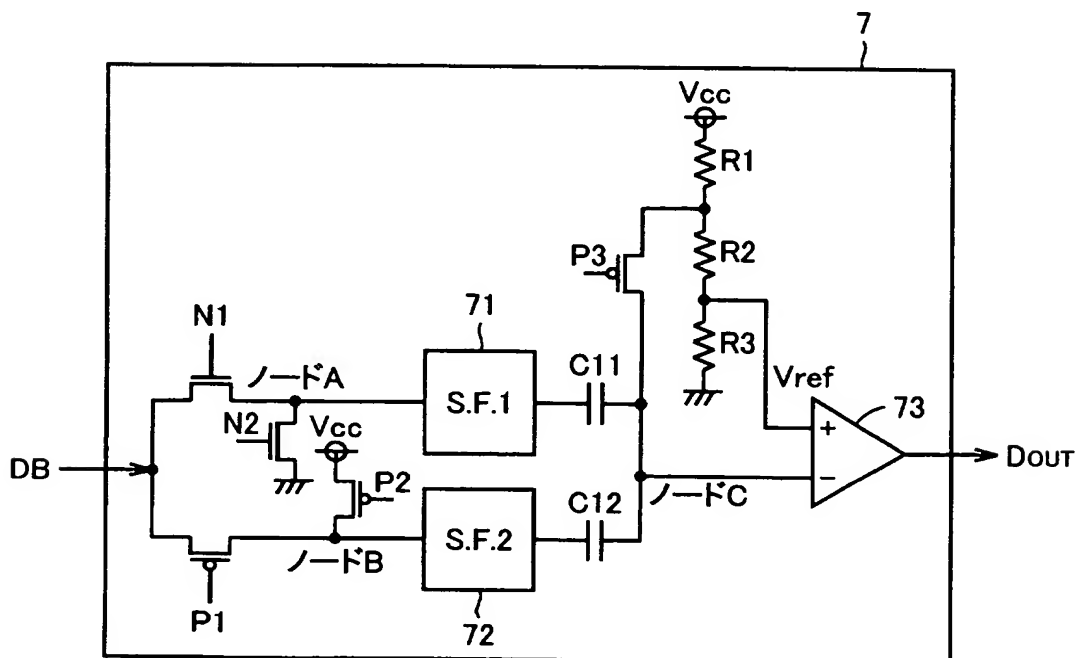
【書類名】

図面

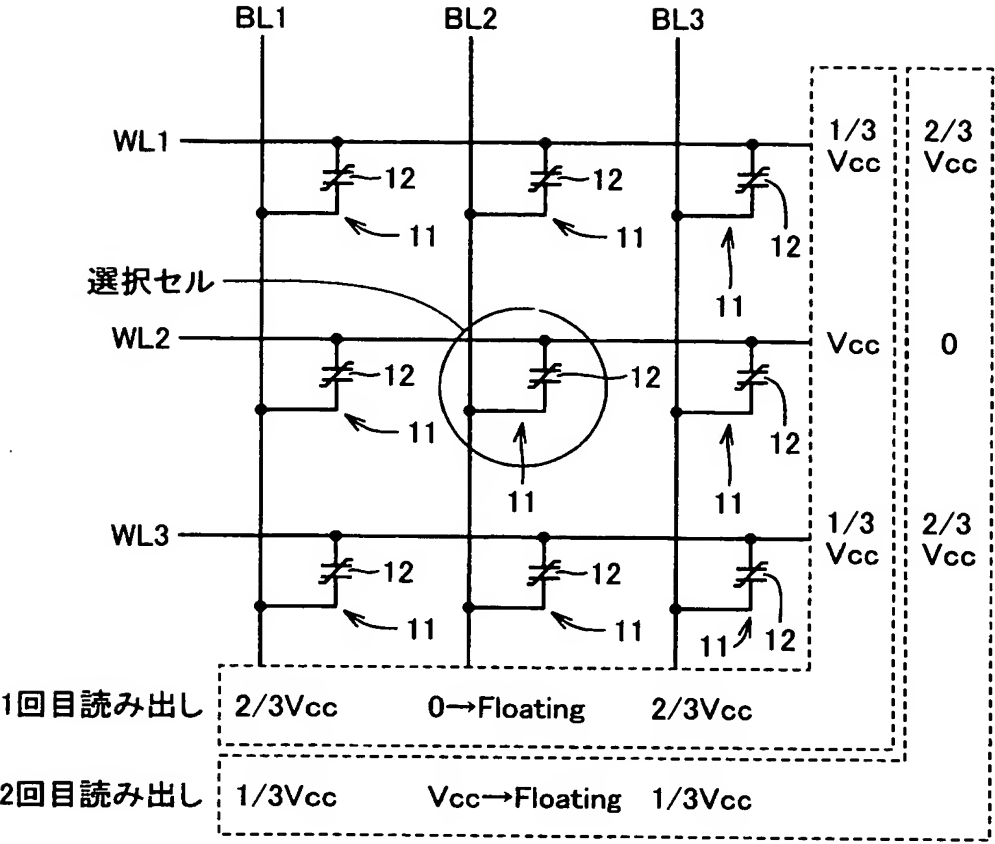
【図 1】



【図 2】



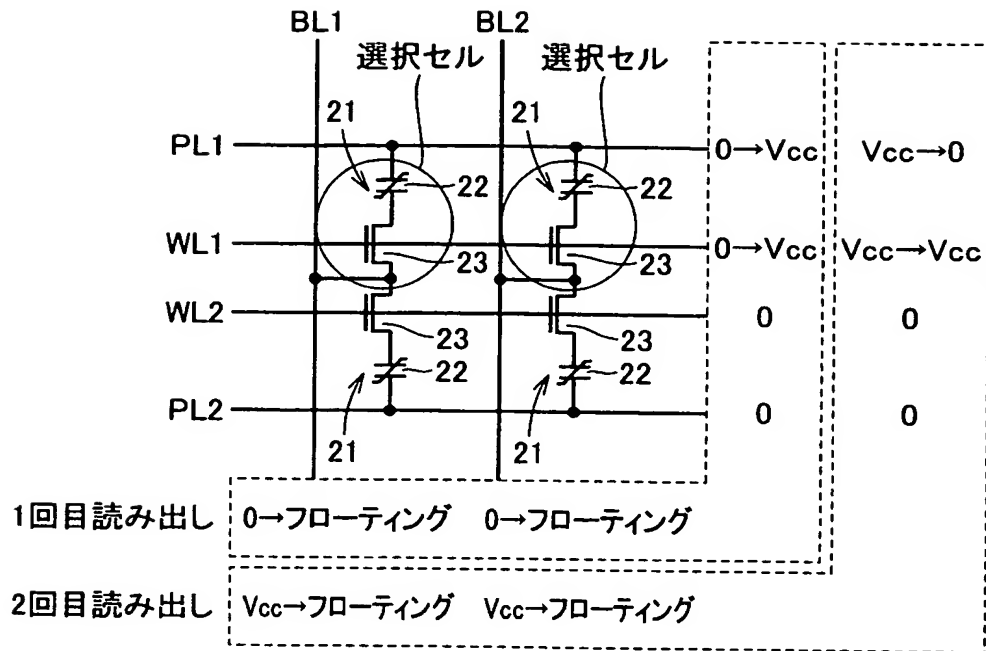
【図 3】



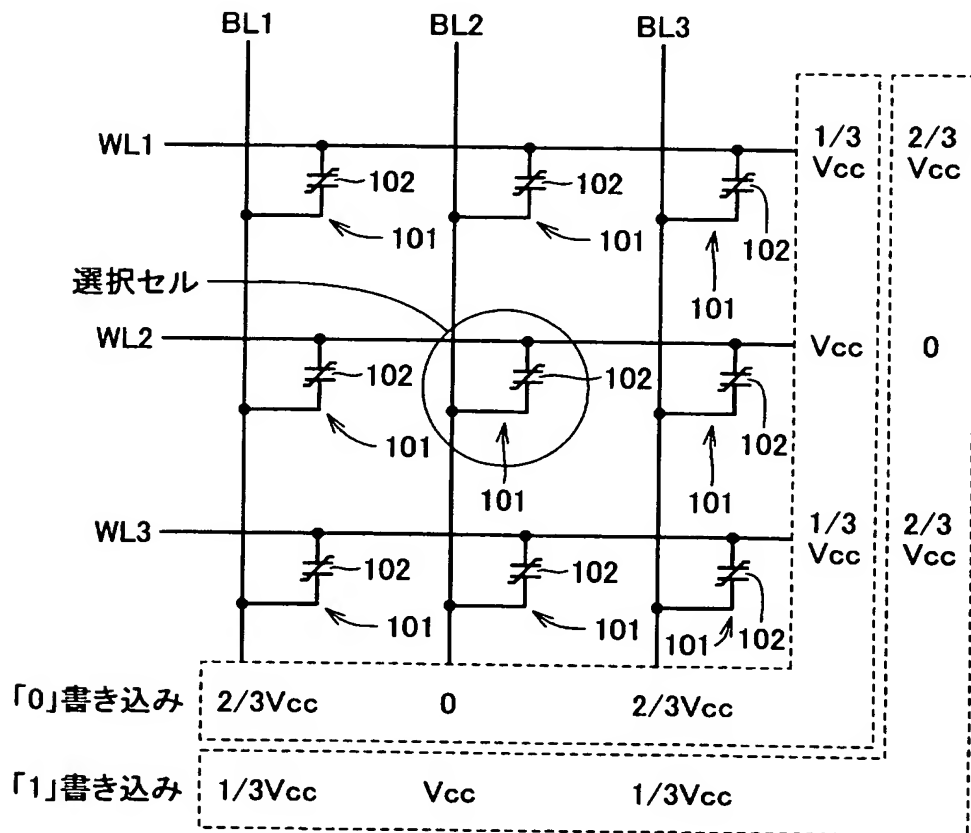
【図 4】

初期データ	1回目の 変化量	1回目後の データ	2回目の 変化量	2回目後の データ	2回の 変化量
0	$\Delta V_a$	0	$-\Delta V_b$	1	$\Delta V_a - \Delta V_b < 0$
1	$\Delta V_b$	0	$-\Delta V_b$	1	$\Delta V_b - \Delta V_b = 0$

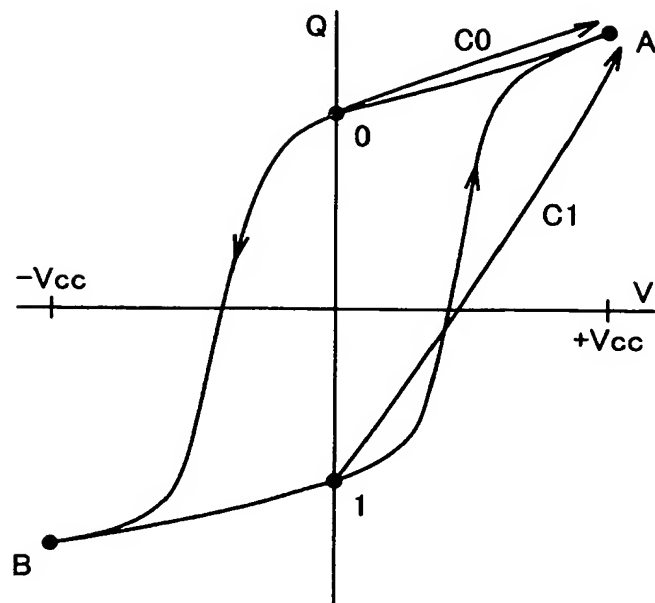
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 メモリセルアレイの面積を縮小しながら、リファレンス電位の変動に起因する読み出しマージンの減少を抑制することが可能なメモリ装置を提供する。

【解決手段】 このメモリ装置は、ヒステリシス特性を有する強誘電体キャパシタ 12 と、データの読み出し時に、強誘電体キャパシタ 12 に 1 回目と 2 回目とで異なる方向にバイアス電圧を印加し、1 回目の読み出しデータと 2 回目の読み出しデータとを比較することにより読み出しデータを確定するリードアンプ 7 とを備えている。

【選択図】 図 2



特願 2 0 0 2 - 3 4 5 5 8 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

- |          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日     |
| [変更理由]   | 新規登録                    |
| 住 所      | 大阪府守口市京阪本通 2 丁目 1 8 番地  |
| 氏 名      | 三洋電機株式会社                |
|          |                         |
| 2. 変更年月日 | 1 9 9 3 年 1 0 月 2 0 日   |
| [変更理由]   | 住所変更                    |
| 住 所      | 大阪府守口市京阪本通 2 丁目 5 番 5 号 |
| 氏 名      | 三洋電機株式会社                |